



PTO/SB/21 (08-03)

Approved for use through 08/30/2003. OMB 0651-0031

U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

<b>TRANSMITTAL FORM</b>  (to be used for all correspondence after initial filing)	Application Number	10/751,199	
	Filing Date	12/30/2003	
	First Named Inventor	Byoung Young KANG	
	Art Unit		
	Examiner Name		
Total Number of Pages in This Submission	12	Attorney Docket Number	PIA31222/DBE/US

ENCLOSURES (Check all that apply)		
<input type="checkbox"/> Fee Transmittal Form	<input type="checkbox"/> Drawing(s)	<input type="checkbox"/> After Allowance communication to Technology Center (TC)
<input type="checkbox"/> Fee Attached	<input type="checkbox"/> Licensing-related Papers	<input type="checkbox"/> Appeal Communication to Board of Appeals and Interferences
<input type="checkbox"/> Amendment/Reply	<input type="checkbox"/> Petition	<input type="checkbox"/> Appeal Communication to TC (Appeal Notice, Brief, Reply Brief)
<input type="checkbox"/> After Final	<input type="checkbox"/> Petition to Convert to a Provisional Application	<input type="checkbox"/> Proprietary Information
<input type="checkbox"/> Affidavits/declaration(s)	<input type="checkbox"/> Power of Attorney, Revocation	<input type="checkbox"/> Status Letter
<input type="checkbox"/> Extension of Time Request	<input type="checkbox"/> Change of Correspondence Address	<input checked="" type="checkbox"/> Other Enclosure(s) (please identify below):
<input type="checkbox"/> Express Abandonment Request	<input type="checkbox"/> Terminal Disclaimer	
<input type="checkbox"/> Information Disclosure Statement	<input type="checkbox"/> Request for Refund	
<input checked="" type="checkbox"/> Certified Copy of Priority Document(s)	<input type="checkbox"/> CD, Number of CD(s) _____	
<input type="checkbox"/> Response to Missing Parts/Incomplete Application	<b>Remarks</b> 1. Claim for Priority 2. Return Receipt Postcard	
<input type="checkbox"/> Response to Missing Parts under 37 CFR 1.52 or 1.53		
<b>SIGNATURE OF APPLICANT, ATTORNEY, OR AGENT</b>		
Firm or Individual name	Andrew D. Fortney, Ph.D., Reg. No. 34,600	
Signature		
Date	January 28, 2004	

CERTIFICATE OF TRANSMISSION/MAILING			
I hereby certify that this correspondence is being facsimile transmitted to the USPTO or deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450 on the date shown below.			
Typed or printed name	Jennie Heaton		
Signature		Date	January 28, 2004

This collection of information is required by 37 CFR 1.5. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.



Patent & Trademark Office, Docket No. PIA31222/DBE/US

IN THE UNITED STATES PATENT & TRADEMARK OFFICE

IN RE APPLICATION OF:

:

Byoung Young KANG

: GROUP ART UNIT:

SERIAL NO: 10/751,199

:

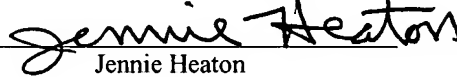
FILED: December 30, 2003

: EXAMINER:

FOR: Method for Packaging a Semiconductor Device

I hereby certify that this document is being deposited with the United States Postal Service as first class mail in an envelope addressed to Commissioner for Patents, Washington, D.C. 20231, on January 28, 2004.

By:

  
Jennie Heaton

CLAIM FOR PRIORITY UNDER 35 U.S.C. 119(a)-(b) AND 37 C.F.R. 1.55

COMMISSIONER FOR PATENTS  
WASHINGTON, D.C. 20231

SIR:

Applicant respectfully requests under the Paris Convention for the Protection of Intellectual Property the benefit of the filing date of the prior foreign application(s) identified below:

<u>Serial No.</u>	<u>Filing Date</u>	<u>Country of Filing</u>
10-2002-0086651	December 30, 2002	Republic of KOREA

A certified copy of the above-identified priority application is attached.

Respectfully submitted,



Andrew D. Fortney, Ph.D.  
Reg. No. 34,600

7257 N. Maple Avenue, Bldg. D, #107  
Fresno, California 93720  
(559) 299 - 0128



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2002-0086651  
Application Number

출원 년 월 일 : 2002년 12월 30일  
Date of Application DEC 30, 2002

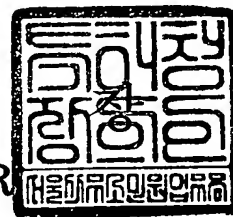
출원인 : 동부전자 주식회사  
Applicant(s) DONGBU ELECTRONICS CO., LTD.



2003    년    12    월    27    일

특    허    청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0117
【제출일자】	2002.12.30
【발명의 명칭】	반도체 소자 패키징 방법
【발명의 영문명칭】	METHOD FOR PACKAGING SEMICONDUCTOR DEVICE
【출원인】	
【명칭】	동부전자 주식회사
【출원인코드】	1-1998-106725-7
【대리인】	
【성명】	장성구
【대리인코드】	9-1998-000514-8
【포괄위임등록번호】	1999-059722-7
【대리인】	
【성명】	김원준
【대리인코드】	9-1998-000104-8
【포괄위임등록번호】	1999-059725-9
【발명자】	
【성명의 국문표기】	강병영
【성명의 영문표기】	KANG, Byoung Young
【주민등록번호】	670929-1897318
【우편번호】	467-863
【주소】	경기도 이천시 부발읍 신하리 거평아파트 101-502
【국적】	KR
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인 장성구 (인) 대리인 김원준 (인)
【수수료】	
【기본출원료】	7 면 29,000 원
【가산출원료】	0 면 0 원

1020020086651

출력 일자: 2003/12/30

【우선권주장료】	0	건	0	원
【심사청구료】	0	항	0	원
【합계】	29,000			원
【첨부서류】	1.	요약서·명세서(도면)_1통		

**【요약서】****【요약】**

본 발명은 반도체 소바 패키징 방법에 관한 것이다. 즉, 본 발명은 기존의 BGA용 서브스트레이트에 오목한 홈을 형성시키고 열방출이 용이하도록 열싱크를 부착 패키징 수행함으로써, 패키지의 소형화가 가능하도록 하며, 열싱크를 통해 열방출이 용이하게 수행되어 소자의 동작 특성이 개선되는 이점이 있다. 또한 서브스트레이트에 오목한 홈을 형성하여 에폭시 몰딩 콤파운드와의 접착면적을 증가시켜 소자의 신뢰성을 향상시키는 이점이 있다.

**【대표도】**

도 2

**【명세서】****【발명의 명칭】**

반도체 소자 패키징 방법{METHOD FOR PACKAGING SEMICONDUCTOR DEVICE}

**【도면의 간단한 설명】**

도 1은 종래 BGA 패키징 공정 단면도,

도 2는 본 발명의 실시 예에 따른 BGA 패키징 공정 단면도.

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <3> 본 발명은 반도체 소자 패키징 방법에 관한 것으로, 특히 BGA(Ball Grid Array)용 서브스트레이트(Substrate)에 오목한 홈을 형성시키고, 열방출이 용이하도록 열싱크(Heat sink)를 부착하는 반도체 소자 패키징 방법에 관한 것이다.
- <4> 도 1은 종래 BGA 패키징 공정 단면도를 도시한 것으로, 종래에는 상기 도 1에서와 같이 서브스트레이트(100)에 어드히시브(Adhesive)(102)를 도포한 후, 칩을 접착시킨다. 이어 골드 와이어(Gold wire)(104)를 사용하여 칩(Chip)(106)과 서브스트레이트(100)간 와이어 본딩(Wire bonding)을 통해 인터커넥션(Interconnection)을 수행하고, 외부환경으로부터 칩(106)과 인터커넥션된 와이어를 보호하기 위하여 에폭시 몰딩 콤파운드(Epoxy molding compound)(108)로 봉지시킨다. 그런 후, 서브스트레이트(100)에 솔더 볼(Solder ball)(110)을 접착하여 개별화(Singulation)시키고 개개의 패키지 조립을 완료하게 된다.

<5> 그러나 상기한 바와 같은 종래 BGA 패키징에서는 패키징의 소형화가 어려우며, 칩에서 발생하는 열방출로 인해 반도체 소자의 동작 특성이 저하되는 문제점이 있었다.

**【발명이 이루고자 하는 기술적 과제】**

<6> 따라서, 본 발명의 목적은 패키지의 소형화, 실장면적의 최소화가 가능하며, 소자 동작 시 발생하는 열방출을 히트 싱크를 통해 외부로 방출시켜 동작 특성을 개선시키는 BGA 패키징 방법을 제공함에 있다.

<7> 상술한 목적을 달성하기 위한 본 발명은 반도체 소자 패키징 방법에 있어서, (a)서브스트레이트 상부면에 일련의 오목한 홈을 형성시키는 단계와; (b)상기 오목한 홈이 형성된 서브스트레이트에 열싱크를 부착시키는 단계와; (c)상기 열싱크가 부착된 웨이퍼를 다이 소잉하여 개개의 칩으로 분리시키는 단계와; (d)칩을 서브스트레이트에 어드히시브를 사용하여 부착시키는 단계와; (e)와이어 본딩을 수행한 후 에폭시 몰딩 콤파운드로 봉지시키는 단계;를 포함하는 것을 특징으로 한다.

**【발명의 구성 및 작용】**

<8> 이하, 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시 예의 동작을 상세하게 설명한다.

<9> 도 2는 본 발명의 실시 예에 따른 BGA 패키징 공정 단면도를 도시한 것이다. 이하 상기 도 2를 참조하여 본 발명의 BGA 패키징 공정을 상세히 설명하기로 한다.

<10> 먼저 본 발명에서는 상기 도 2에서 보여지는 바와 같이 서브스트레이트(200)면에 오목한 홈(202)을 형성시키고, 열방출을 위한 열싱크(204)를 부착시킨다. 이



에 따라 상기 서브스트레이트(200)면상의 오목한 홈 형성으로 에폭시 몰딩 콤파운드(206)와의 접착면적이 증가되어 소자의 신뢰성이 향상되며, 상기 열싱크(204) 부착으로 소자가 동작시 발생하는 열이 쉽게 외부로 방출될 수 있도록 함으로써 소자의 오동작을 방지시키게 된다.

<11> BGA 패키징 공정을 살펴보면, 상기와 같이 상부면에 오목한 홈(202)을 형성하고, 열싱크(204)를 부착시킨 웨이퍼(200)를 개개의 칩으로 분리하기 위해 소잉(Sawing)시키며, 칩(208)을 서브스트레이트(200)에 어드히시브(210)를 사용하여 접착시킨다. 이어 골드 와이어(212)를 이용하여 와이어 본딩을 수행한 후, 에폭시 몰딩 콤파운드(206)로 봉지하고, 솔더 볼(214)을 접착하고 리플로우(Reflow)시킨다. 그런 후 서브스트레이트를 개별화하여 개개의 패키지로 완성하여 조립을 완성시키게 된다.

<12> 즉, 상기한 바와 같이 본 발명에서는 기존의 BGA용 서브스트레이트에 오목한 홈을 형성시키고 열방출이 용이하도록 열싱크를 부착 패키징 수행함으로써, 패키지의 소형화가 가능하도록 하며, 열싱크를 통해 열방출이 용이하게 수행되어 소자의 동작 특성이 개선된다. 또한 서브스트레이트에 오목한 홈을 형성하여 에폭시 몰딩 콤파운드와의 접착면적을 증가시켜 소자의 신뢰성을 향상시키게 된다.

<13> 한편 상술한 본 발명의 설명에서는 구체적인 실시 예에 관해 설명하였으나, 여러 가지 변형이 본 발명의 범위에서 벗어나지 않고 실시될 수 있다. 따라서 발명의 범위는 설명된 실시 예에 의하여 정할 것이 아니고 특허청구범위에 의해 정하여져야 한다.

#### 【발명의 효과】

<14> 이상에서 설명한 바와 같이, 본 발명에서는 기존의 BGA용 서브스트레이트에 오목한 홈을 형성시키고 열방출이 용이하도록 열싱크를 부착 패키징 수행함으로써, 패키지의 소형화가 가능

하도록 하며, 열싱크를 통해 열방출이 용이하게 수행되어 소자의 동작 특성이 개선되는 이점이 있다. 또한 서브스트레이트에 오목한 홈을 형성하여 에폭시 몰딩 콤파운드와의 접촉면적을 증가시켜 소자의 신뢰성을 향상시키는 이점이 있다.

**【특허청구범위】****【청구항 1】**

반도체 소자 패키징 방법에 있어서,

(a) 서브스트레이트 상부면에 일련의 오목한 홈을 형성시키는 단계와;

(b)상기 오목한 홈이 형성된 서브스트레이트에 열싱크를 부착시키는 단계와;

(c) 상기 열싱크가 부착된 웨이퍼를 다이 소잉하여 개개의 칩으로 분리시키는 단계와;

(d)칩을 서브스트레이트에 어드히시브를 사용하여 부착시키는 단계와;

(e)와이어 본딩을 수행한 후 에폭시 몰딩 컴파운드로 봉지시키는 단계;를 포함하는 것을 특징으로 하는 반도체 소자 패키징 방법.

**【청구항 2】**

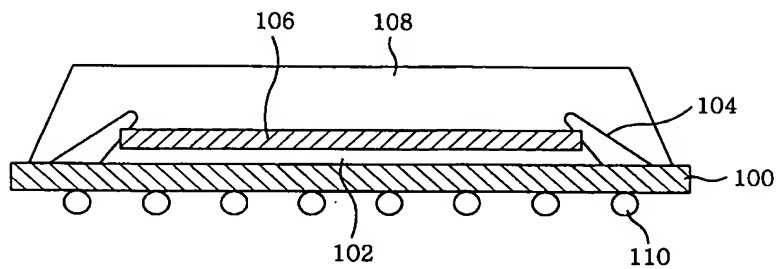
제1항에 있어서,

상기 서브스트레이트에 부착되는 열싱크는, 패키징시 외부로 노출되도록 하는 것을 특징으로 하는 반도체 소자 패키징 방법.



【도면】

【도 1】



【도 2】

